

(54) SEMICONDUCTOR DEVICE

(11) 61-256769 (A) (43) 14.11.1986 (19) JP

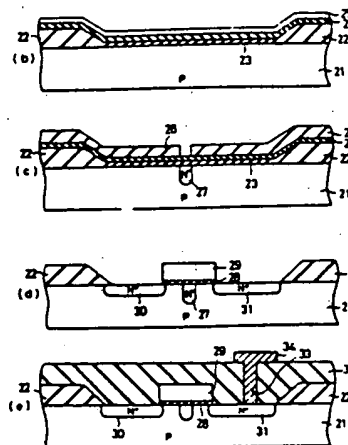
(21) Appl. No. 60-99024 (22) 10.5.1985

(71) TOSHIBA CORP (72) SHOICHI KAGAMI

(51) Int. Cl. H01L29/78

PURPOSE: To improve gain and to suppress punch through, by providing an N⁺ type layer in the direction of the width of a channel between N-type source and drain on the surface of a P-type substrate, and providing a gate oxide film and a gate electrode on the substrate.

CONSTITUTION: The surface of a P-type Si substrate 21 is surrounded by a field oxide film 22. An Si₃N₄ film 24 and a poly Si film 25 are formed on a thin oxide film 23. After a hole is selectively provided, the entire poly Si film 25 is oxidized, and an SiO₂ film 26 is formed. P ions are implanted, and N⁺ 27 is provided in parallel with the width direction of a channel in close contact with the gate oxide film 23. The films 26, 24 and 23 are removed, and a gate electrode 29 is formed on a new gate oxide film 28. With the electrode 29 as a mask, N⁺ type source and drain layers 30 and 31 are formed. A hole 33 is provided in an interlayer insulating film 32, and an Al wiring 34 is attached. In this constitution, the gain can be improved by the formation of the N⁺ layer 27 and the punch through can be suppressed. Thus, the highly reliable device is obtained.



257/345

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-256769

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)11月14日

H 01 L 29/78

8422-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 昭60-99024

⑱ 出 願 昭60(1985)5月10日

⑲ 発 明 者 各 務 正 一 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑳ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 第1導電型の半導体基板と、この基板表面に設けられた第2導電型のソース、ドレイン領域と、これらソース、ドレイン領域間の前記基板表面にチャネル巾方向に設けられた第2導電型の不純物層と、同基板上にゲート酸化膜を介して設けられたゲート電極とを具備することを特徴とする半導体装置。

(2) 第2導電型の不純物層がゲート酸化膜と密着していることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は半導体装置に関し、特にチャネル領域に改良を図ったMOS形電界効果トランジスタ(MOS FET)に係わる。

〔発明の技術的背景〕

従来、MOSFETにおいては、微細化されるにつれて内部電界が高くなり、ホットエレクトロンによるMOSFETの不安定性が問題となってくる。このため、ドレイン領域側の電界を抑えることが重要となる。そこで、従来、例えば第2図に示すLDD(Lightly Doped Drain)構造のNチャネルMOSFET、あるいは第3図に示すDDD(Double Diffused Drain)構造のNチャネルMOSFETが提案されている。

第2図のMOSFETは、P型のシリコン基板1の表面にN⁻型層2a、N⁺型層3aからなるソース領域4、N⁻型層2b、N⁺型層3bからなるドレイン領域5を夫々設け、同基板1上にゲート酸化膜6を介してゲート電極7を設け、かつこのゲート電極7の側にCVD SiO₂からなるサイドウォール8、8を設けた構造となっている。

また、第3図のMOSFETは、P型のシリコン基板1の表面にN⁻型層11a、このN⁻型層11aに囲まれるN⁺型層12aからなるソース領域13、N⁻型層11b、このN⁻型層11bに囲ま

れる N^+ 型層12bからなるドレイン領域14を設け、更に同基板1上にゲート酸化膜15を介してゲート電極16を設けた構造となっている。
〔背景技術の問題点〕

しかしながら、従来技術によれば、以下に示す問題点を有する。

① LDD構造のMOSFET;

N 型層2a, 2bの抵抗により、MOSFETの利得が下がる。また、LDD構造には特有の劣化モードがあり、これを防ぐためには N 型層2a, 2bの濃度を濃くしなくてはならない。しかるに、濃度を濃くした場合、微細なMOSFETではパンチスルーを防ぐのが困難となる。更に、LDD構造では N 型層2a, 2bの巾がサイドウォール8の巾に依存するため、サイドウォール8形成の制御が困難である。

② DDD構造のMOSFET;

上記と同様、微細なMOSFETではパンチスルーを防ぐのが困難となる。

〔発明の目的〕

よりフィールド酸化膜22を形成した後、このフィールド酸化膜22で囲まれた基板21上に厚さ500Åの酸化膜23を形成した(第1図(a)図示)。つづいて、全面に厚さ500Åのシリコン窒化膜24、厚さ4000Åの多結晶シリコン膜25を順次形成した(第1図(b)図示)。次いで、写真蝕刻法によりチャネル領域の一部に対応する前記多結晶シリコン膜25を選択的に除去した後、残存した多結晶シリコン膜25を全て酸化し酸化膜26を形成した。しかる後、この酸化膜26をマスクとして前記基板1にリンを例えば加速電圧150keV、ドーズ量 $5 \times 10^{18} \text{ cm}^{-2}$ でイオン注入し、基板21に N^+ 型の不純物層27を形成した(第1図(c)図示)。なお、不純物層27はチャネル巾方向と平行で、しかも後記ゲート酸化膜と密着して設けられている。

次に、前記酸化膜26、シリコン窒化膜24及び酸化膜24を除去した後、常法によりフィールド酸化膜22で囲まれた前記基板21の素子領域上にゲート酸化膜28を介してゲート電

本発明は上記事情に鑑みてなされたもので、ソース、ドレイン領域間の半導体基板表面に該基板と反対導電型の不純物層を設けることによって、利得を向上するとともに、パンチスルー等を抑制した高信頼性の半導体装置を提供することを目的とする。

〔発明の概要〕

本発明は、第1導電型の半導体基板と、この基板表面に設けられた第2導電型のソース、ドレイン領域と、これらソース、ドレイン領域間の前記基板表面にチャネル巾方向に設けられた第2導電型の不純物層と、同基板上にゲート酸化膜を介して設けられたゲート電極とを具備することを特徴し、前記目的の達成を図ったことを骨子とする。

〔発明の実施例〕

以下、本発明の一実施例に係る N チャネルMOSFETを製造工程順に第1図(a)~(e)を参照して説明する。

まず、 P 型のシリコン基板21の表面に常法

でゲート電極29を形成した。次いで、このゲート電極29をマスクとして前記素子領域に N 型不純物をイオン注入又は拡散により導入して N^+ 型のソース、ドレイン領域30, 31を形成した(第1図(d)図示)。更に、全面に層間絶縁膜32を形成した後、前記ドレイン領域31の一部に対応する層間絶縁膜32を開孔してコンタクトホール33を形成し、該コンタクトホール33に Al 配線34を形成して N チャネルMOSFETを製造した(第1図(e)図示)。

本発明に係る N チャネルMOSFETは、第1図(e)に示す如く、 P 型のシリコン基板21表面に N 型のソース、ドレイン領域30, 31を設け、同基板上にゲート酸化膜28を介してゲート電極29を設け、更に前記ソース、ドレイン領域30, 31間の基板21表面に N^+ 型の不純物層27をチャネル巾方向と平行でかつ前記ゲート酸化膜と密着するように設けた構造となっている。しかるに、本発明によれば、ソース、ドレイン領域30, 31間

に不純物層27が存在するため、トランジスタが動作しているときもドレイン領域31側及びチャネル内部の電界が緩和される。従って、移動度が増加するとともに、インパクトイオン化率が減少するのでホトエレクトロンの生成も抑えられ、高信頼性、高利得のトランジスタが実現できる。

なお、上記実施例では、多結晶シリコン膜を酸化して得られた酸化膜や窒化膜等を利用して N^+ 型の不純物層を形成したが、フォースイオンビームを用いてもよい。

また、上記実施例では N^+ 型の不純物層をゲート酸化膜と密着するように形成したが、これに限らず、ゲート酸化膜に僅かに離間して形成した場合でも従来と比べ優れた効果を有する。

更に、上記実施例では、NチャネルMOSFETに適用した場合について述べたが、これに限らず、PチャネルMOSFETにも同様に適用できる。

〔発明の効果〕

以上詳述した如く本発明によれば、ソース、

ドレイン領域間に不純物層を設けることにより、高利得、高信頼性のNチャネルMOSFET等の半導体装置を提供できる。

4. 図面の簡単な説明

第1図(a)~(e)は本発明の一実施例に係るNチャネルMOSFETを製造工程順に示す断面図、第2図は従来のLDD構造のNチャネルMOSFETの断面図、第3図は従来のDDD構造のNチャネルMOSFETの断面図である。

21…P型のシリコン基板、22…フィールド酸化膜、23、26…酸化膜、24…シリコン窒化膜、25…多結晶シリコン膜、27… N^+ 型の不純物層、28…ゲート酸化膜、29…ゲート電極、30… N^+ 型のソース領域、31… N^+ 型のドレイン領域、32…層間絶縁膜、33…コンタクトホール、34… $A\bar{A}$ 配線。

出願人代理人 弁理士 鈴江 武彦

